# PK03017_PGC1KG_LPG100

## （版本号：Version1.0）

（2019.08.27）

深圳市紫光同创电子有限公司

# 文档版本修订记录

| 版本号 | 发布日期 | 修订记录 |
|---|---|---|
| V1.0 | 2019/08/27 | 初次发行 |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |
| | | |

# 名词术语解释

POD： Package Outline Drawing

QFP： Quad Flat Package

# 目　　录

# 图目录

# 表目录

# 一、 封装介绍

PGC1KG_LPG100 产品采用 Wire bond 打线方型扁平式（QFP）封装形式。其封装尺寸为 16x16mm，Pin 脚数为 100，Pin 脚间距为 0.5mm，最大封装厚度为 1.60mm。

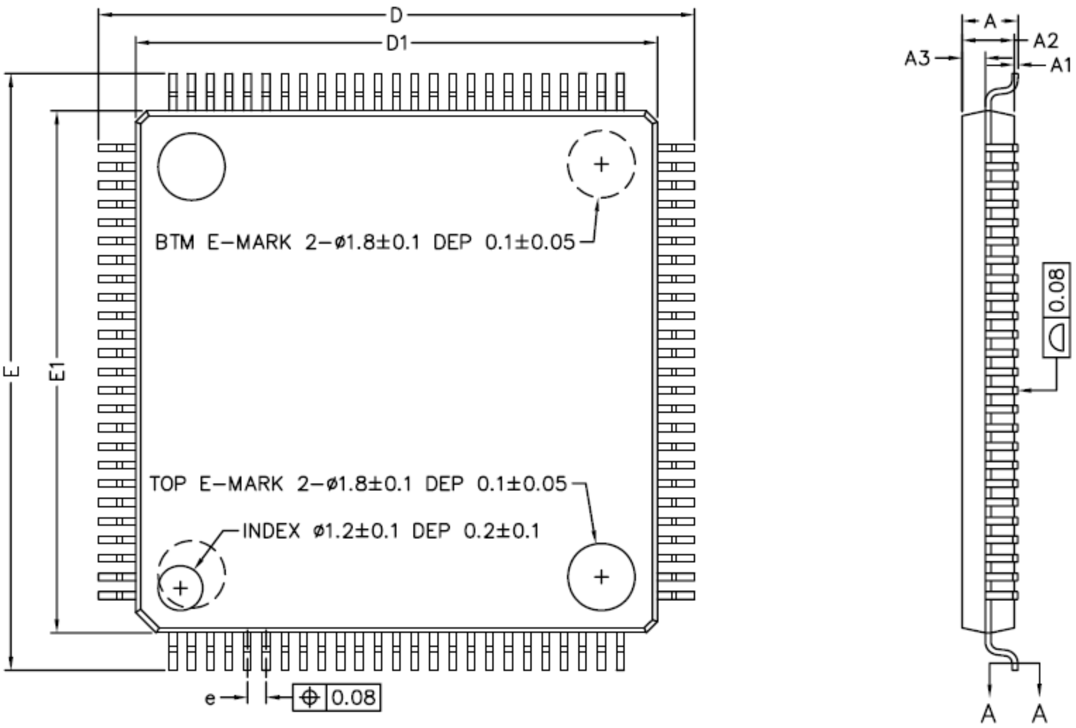
# 二、 封装尺寸和管脚

## （一） 封装外形尺寸

表 1 外形尺寸数值表

单位为毫米

| 尺寸符号 | 数值 | | | 尺寸符号 | 数值 | | |
|---|---|---|---|---|---|---|---|
| | 最 小 | 典型值 | 最 大 | | 最 小 | 典型值 | 最 大 |
| D | 15.8 | 16.0 | 16.2 | A | – | – | 1.60 |
| D1 | 13.9 | 14.0 | 14.1 | A1 | 0.05 | – | 0.15 |
| E | 15.8 | 16.0 | 16.2 | A2 | 1.35 | 1.40 | 1.45 |
| E1 | 13.9 | 14.0 | 14.1 | A3 | 0.59 | 0.64 | 0.69 |
| e | 0.4 | 0.5 | 0.6 | b | 0.17 | – | 0.27 |
| L | 0.45 | 0.60 | 0.75 | b1 | 0.17 | 0.20 | 0.23 |
| c | 0.13 | – | 0.18 | c1 | 0.12 | 0.127 | 0.134 |



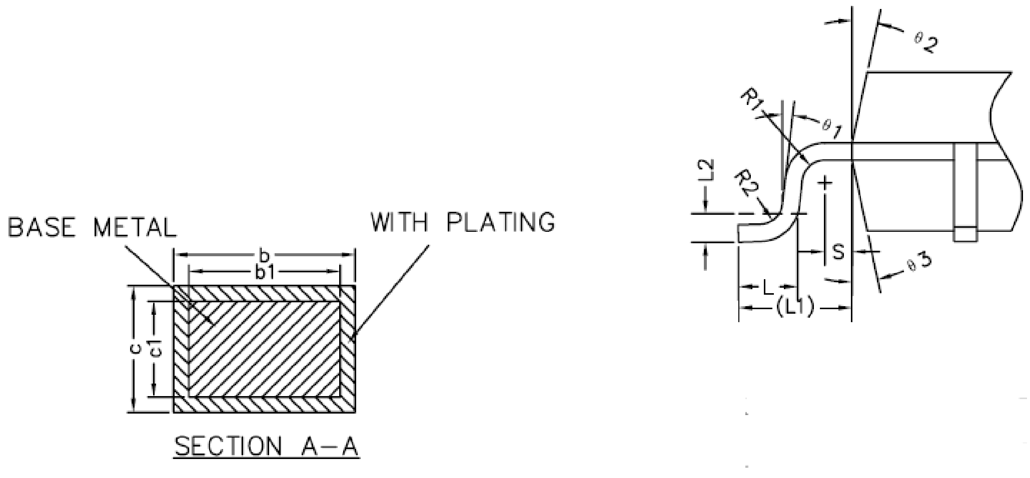

BASE METAL
WITH PLATING
b
b1
c
c1
SECTION A-A
θ2
R1
θ1
L2
R2
S
θ3
L
(L1)

图 1 外形尺寸图(POD)

## （二） 管脚说明

PGC1KG_LPG100 产品的 user IO 数为 80。

表 2 产品管脚定义

| 管脚名称 | 管脚类型 | 方向 | 管脚说明 |
|---|---|---|---|
| 用户 I/O 管脚 | | | |
| DIFF[I,IO]_XX_NN[P,N] | 专用管脚 | 输入/输出 | 普通用户 I/O。<br>（1）DIFFI，表示支持差分信号输入和伪差分输出；DIFFIO，表示支持差分信号输入和真差分输出，能够用于 LVDS 类型的信号发送和接收；<br>（2）“XX”，表示 Bank 序号，可取 B0，B1，B2，B3，B4，B5；<br>（3）“NN”，表示 Bank 内可编程 I/O 组的序号，从 0 开始递增；<br>（4）[P,N]: “P”表示差分对的正端，“N”表示差分对的负端；<br>上电复位期间，普通用户 I/O 为低电平；<br>完成上电复位但未配置时，普通用户 I/O 状态为下拉；<br>配置期间，普通用户 I/O 状态为下拉； |
| 配置 [1] | | | |
| INIT_FLAG_N | 复用管脚 | 双向（开漏） | 配置状态复用管脚，当做配置管脚时：<br>上电复位期间，为低电平；<br>完成上电复位但未配置时，为开漏，弱上拉；<br>在配置过程中，为开漏，弱上拉；<br>在初始化过程中，该管脚可以由外部输入低电平，用于指示错误或者延迟配置。在配置过程中，该管脚作为配置错误的指示状态输出，为低表示配置过程中出现错误； |
| CFG_DONE | 复用管脚 | 双向（开漏） | 配置状态复用管脚，内置弱上拉电阻，当做配置管脚时，作为配置完成指示状态输出，为高表示配置完成；<br>在配置之前或者配置过程中该管脚被驱动为低电平；在配置完成后，该管脚可以由外部继续驱动为低电平，一旦内部启动时序发现 CFG_DONE 为低电平，那么内部的启动电路继续保持直到 CFG_DONE 变为高电平才会继续执行启动过程； |
| RSTN | 复用管脚 | 输入 | 复用的复位管脚，内置弱上拉电阻，当做复位管脚时，用于重新启动配置流程，低有效； |

| 管脚名称 | 管脚类型 | 方向 | 管脚说明 |
| --- | --- | --- | --- |
| | | | 建议用户在使用过程中在芯片外部用电阻上拉 RSTN（内部弱上拉电阻的阻值一般为 20kOhms 以上，上拉强度较弱）；当该管脚为低电平，FPGA 进入复位状态，所有的 I/O 处于弱下拉； |
| CFG_CLK | 复用管脚 | 输入/输出 | 配置复用时钟管脚，内置弱上拉电阻，当做配置管脚时：<br>在从 SPI 配置模式，该管脚作为时钟输入以从外部获取配置数据；<br>在主 SPI 配置模式，该管脚作为时钟输出以从外部获取配置数据， 在此模式， 需外接 1kOhms 上拉电阻；<br>主 SPI 模式和从 SPI 模式允许同时可用，但是不允许同时用这两种模式访问； |
| TCK | 复用管脚 | 输入 | 复用 JTAG 测试时钟时钟输入管脚； 需外接 4.7kOhms 的下拉电阻； |
| TMS | 复用管脚 | 输入 | 复用 JTAG 测试模式选择输入管脚；内置弱上拉电阻， 上拉到 VCCIO0； |
| TDI | 复用管脚 | 输入 | 复用 JTAG 测试数据输入管脚；内置弱上拉电阻， 上拉到 VCCIO0； |
| TDO | 复用管脚 | 输出 | 复用 JTAG 测试数据输出管脚。内置弱上拉电阻， 上拉到 VCCIO0； |
| JTAGEN | 复用管脚 | 输入 | 可选的 JTAG 端口行为控制管脚，该功能只在用户模式下可用， 即在配置模式下， 该端口为用户 I/O， 默认状态为弱下拉；<br>在用户模式下，<br>当 JTAG 管脚配置为配置 I/O 时， 该端口为用户 I/O， 状态由用户控制；<br>当 JTAG 管脚作为用户 I/O 时， JTAGEN 变成了专用输入，用来控制 JTAG 管脚是否可用； 默认状态为弱下拉；<br>在 JTAGEN 为专用 I/O 的情况下：<br>（1）当为低电平，JTAG 管脚作为普通用户 I/O 功能；<br>（2）当为高电平， JTAG 管脚作为 JTAG 配置管脚的功能； |
| FCS_N | 复用管脚 | 输出 | 复用配置管脚，外部主 SPI 配置模式使用，<br>（1）主 SPI 模式下， 低有效输出片选信号给外部 Flash；<br>（2）配置完成后， 可以作为用户 I/O 使用； |
| MISO_SO | 复用管脚 | 输入/输出 | 复用 SPI 配置管脚；<br>（1）MISO， 主 SPI 模式串行数据输入； |

| 管脚名称 | 管脚类型 | 方向 | 管脚说明 |
|---|---|---|---|
| | | | （2）SO，从 SPI 模式串行数据输出；<br>主 SPI 模式和从 SPI 模式允许同时可用，但是不允许同时用这两种模式访问； |
| MOSI_SI | 复用管脚 | 输入/输出 | 复用 SPI 配置管脚；<br>（1）MOSI，主 SPI 模式串行数据输出<br>（2）SI，从 SPI 模式串行数据输入；<br>主 SPI 模式和从 SPI 模式允许同时可用，但是不允许同时用这两种模式访问； |
| FCSI_N | 复用管脚 | 输入 | 复用 SPI 配置管脚，内置弱上拉电阻；<br>从 SPI 模式，低有效片选输入； |
| SCL | 复用管脚 | 输入（开漏） | 从 I2C 模式时钟输入；需要外接弱上拉电阻； |
| SDA | 复用管脚 | 输入/输出（开漏） | I2C 模式数据输入/输出；需要外接弱上拉电阻； |
| SPAL_CLK | 复用管脚 | 输入 | 从并 X16 配置方式的时钟输入； |
| SPAL_CS_N | 复用管脚 | 输入 | 从并 X16 配置方式的使能输入； |
| SPAL_RDWR_N | 复用管脚 | 输入 | 从并 X16 配置方式的读写控制输入；<br>1：读；0：写； |
| SPAL_BUSY | 复用管脚 | 输出 | 从并 X16 配置方式的忙碌指示位；<br>回读期间，如果数据没准备好，则 SPAL_BUSY 变高； |
| SPAL_D15~SPAL_D0 | 复用管脚 | 输入/输出 | 从并 X16 配置方式的数据总线； |
| 时钟，PLL | | | |
| CLK[0,1,2][P,N]_[B0,B1,…,B5] | 复用管脚 | 输入 | 专用全局时钟输入管脚；还可以作为普通用户 I/O 使用。每个 Bank 提供 0~3 个管脚；<br>（1）[0，1，2]：时钟管脚序号；<br>（2）[P,N]：时钟管脚互补差分的正端和负端；<br>（3）[B0,B1,…,B5]：Bank 序号； |
| PLL[0,1]_CLKIN_[P,N] | 复用管脚 | 输入 | 可选的 PLL 输入，PLL 可以选择从这些管脚直接输入时钟；其还可以作为普通用户 I/O 使用；<br>（1）[0,1]：对应 PLL0 和 PLL1；<br>（2）[P,N]：时钟管脚互补差分的正端和负端； |
| PLL[0,1]_CLKFB_[P,N] | 复用管脚 | 输入 | 可选的 PLL 反馈时钟输入，PLL 可以选择从这些管脚来外部反馈时钟；其还可以作为普通用户 I/O 使用；<br>（1）[0,1]：对应 PLL0 和 PLL1；<br>（2）[P,N]：时钟管脚互补差分的正和负端； |
| 电源 | | | |

| 管脚名称 | 管脚类型 | 方向 | 管脚说明 |
|---|---|---|---|
| VCC | | 电源 | 外部供电电源，支持 2.5V 或 3.3V，给内核逻辑提供电源； |
| VCCIO[0,1,2,3,4,5] | | 电源 | I/O Bank 电源； |
| VSS | | 地 | 与 VCC 相关的地； |

注: 1. 配置的复用管脚当做用户 I/O 时，状态与用户 I/O 管脚相同

# 1. Pin Name list

表 3 Pin name list

| Pin Number | Pin Name(Function Name) |
|---|---|
| 1 | DIFFI_B5_2P/PLL0_CLKIN_P |
| 2 | DIFFI_B5_2N/PLL0_CLKIN_N |
| 3 | DIFFI_B5_4P/CLK0P_B5 |
| 4 | DIFFI_B5_4N/CLK0N_B5 |
| 5 | VCCIO5 |
| 6 | VSS |
| 7 | DIFFI_B5_6P |
| 8 | DIFFI_B5_6N |
| 9 | DIFFI_B5_8P |
| 10 | DIFFI_B5_8N |
| 11 | VCCIO4 |
| 12 | DIFFI_B4_3P/CLK0P_B4 |
| 13 | DIFFI_B4_3N/CLK0N_B4 |
| 14 | DIFFI_B4_4P |
| 15 | DIFFI_B4_4N |
| 16 | DIFFI_B4_6P |
| 17 | DIFFI_B4_6N |
| 18 | DIFFI_B3_0P |
| 19 | DIFFI_B3_0N |
| 20 | DIFFI_B3_2P/CLK0P_B3 |
| 21 | DIFFI_B3_2N/CLK0N_B3 |
| 22 | VSS |
| 23 | VCCIO3 |
| 24 | DIFFI_B3_6P |
| 25 | DIFFI_B3_6N |
| 26 | VCCIO2 |
| 27 | DIFFI_B2_25P/FCS_N |
| 28 | DIFFI_B2_25N |
| 29 | DIFFI_B2_23P |
| 30 | DIFFI_B2_23N |
| 31 | DIFFI_B2_21P/CFG_CLK |
| 32 | DIFFI_B2_21N/MISO_SO |
| 33 | VSS |
| 34 | DIFFI_B2_17P/CLK0P_B2 |
| 35 | DIFFI_B2_17N/CLK0N_B2 |
| 36 | DIFFI_B2_15P |
| 37 | DIFFI_B2_15N |
| 38 | DIFFI_B2_13P/CLK1P_B2 |

| | |
|---|---|
| 39 | DIFFI_B2_13N/CLK1N_B2 |
| 40 | DIFFI_B2_11P |
| 41 | DIFFI_B2_11N |
| 42 | DIFFI_B2_7P |
| 43 | DIFFI_B2_7N |
| 44 | VSS |
| 45 | DIFFI_B2_5P |
| 46 | VCCIO2 |
| 47 | DIFFI_B2_5N |
| 48 | DIFFI_B2_1P/FCSI_N |
| 49 | DIFFI_B2_1N/MOSI_SI |
| 50 | VCC |
| 51 | DIFFI_B1_24N |
| 52 | DIFFI_B1_24P |
| 53 | DIFFI_B1_20N |
| 54 | DIFFI_B1_20P |
| 55 | VCCIO1 |
| 56 | VSS |
| 57 | DIFFI_B1_18N |
| 58 | DIFFI_B1_18P |
| 59 | DIFFI_B1_16N |
| 60 | DIFFI_B1_16P |
| 61 | DIFFI_B1_14P |
| 62 | DIFFI_B1_12N/CLKON_B1 |
| 63 | DIFFI_B1_12P/CLKOP_B1 |
| 64 | DIFFI_B1_10N |
| 65 | DIFFI_B1_10P |
| 66 | DIFFI_B1_8N |
| 67 | DIFFI_B1_8P |
| 68 | DIFFI_B1_6N |
| 69 | DIFFI_B1_6P |
| 70 | DIFFI_B1_4N |
| 71 | DIFFI_B1_4P |
| 72 | VSS |
| 73 | VCCIO1 |
| 74 | DIFFI_B1_0N |
| 75 | DIFFI_B1_0P |
| 76 | DIFFI_B0_0N/CFG_DONE |
| 77 | DIFFI_B0_0P/INIT_FLAG_N |
| 78 | DIFFIO_B0_5P/SPAL_D12 |
| 79 | VSS |
| 80 | VCCIO0 |
| 81 | DIFFI_B0_8N/RSTN |

| | |
|---|---|
| 82 | DIFFI_B0_8P/JTAGEN |
| 83 | DIFFIO_B0_11N/SPAL_D3 |
| 84 | DIFFIO_B0_11P/SPAL_D2 |
| 85 | DIFFI_B0_12N/SDA/CLK0N_B0 |
| 86 | DIFFI_B0_12P/SCL/CLK0P_B0 |
| 87 | DIFFIO_B0_15N/CLK1N_B0 |
| 88 | DIFFIO_B0_15P/CLK1P_B0 |
| 89 | NC |
| 90 | DIFFI_B0_16N/TMS |
| 91 | DIFFI_B0_16P/TCK |
| 92 | VSS |
| 93 | VCCIO0 |
| 94 | DIFFI_B0_20N/TDI |
| 95 | DIFFI_B0_20P/TDO |
| 96 | DIFFIO_B0_23N |
| 97 | DIFFIO_B0_23P |
| 98 | DIFFIO_B0_27N |
| 99 | DIFFIO_B0_27P |
| 100 | VCC |